

半導体集積回路装置

FIELD OF THE INVENTION

本発明は、ＣＣＤ（Charge Coupled Devices）エリアセンサー、ＣＣＤリニアセンサー、
5 ＣＭＯＳセンサー等のセンサーアレイを駆動するためのデジタル回路と、センサーアレイ
の出力信号をアナログ処理するアナログ回路とを同一半導体基板上に設けた半導体集積回
路装置に関する。

BACKGROUND OF THE INVENTION

10 図６に、従来の半導体集積回路装置の概略を平面図で示す。同一半導体基板（半導体チ
ップ）１の表面に、例えばＣＭＯＳデジタル回路からなるデジタル回路部２と、アナログ
回路部３が接近して配置されている。両者が隣り合わない側に、ポリシリコン（ＰＳ）か
らなるダミーレイヤ部４が配置されている。ダミーレイヤ部４は、ポリシリコンからなる
ＣＭＯＳトランジスタのゲートを形成する半導体製造工程において、エッチング処理時間
15 を一定にすべく、チップ上におけるポリシリコン面積率を一定にするために配置される。

図６におけるＣ－Ｃ線の断面図を、図７に示す。デジタル回路部２は、バックゲートを
形成するＮ－ＷＥＬＬ領域６の中に配置されたＰ型ＭＯＳトランジスタと、バックゲートを
形成するＰ－ＷＥＬＬ領域９の中に配置されたＮ型ＭＯＳトランジスタとを一对以上含
む。Ｐ型ＭＯＳトランジスタは、１組のＰ＋型チャンネル埋め込み層７と、ゲート電極の
20 ポリシリコン層８から構成される。Ｎ型ＭＯＳトランジスタは、１組のＮ＋型チャンネル
埋め込み層１０と、ゲート電極のポリシリコン層１１から構成される。

アナログ回路部３は、バックゲートを形成するＮ－ＷＥＬＬ領域１２の中に配置された
Ｐ型ＭＯＳトランジスタと、バックゲートを形成するＰ－ＷＥＬＬ領域１５の中に配置さ
れたＮ型ＭＯＳトランジスタとを一对以上含む。Ｐ型ＭＯＳトランジスタは、１組のＰ＋
25 型チャンネル埋め込み層１３と、ゲート電極のポリシリコン層１４から構成される。Ｎ型
ＭＯＳトランジスタは、１組のＮ＋型チャンネル埋め込み層１６と、ゲート電極のポリシ
リコン層１７から構成される。

ＣＭＯＳデジタル回路は、信号がＨｉｇｈからＬｏｗ、ＬｏｗからＨｉｇｈに切り替わ
る際、貫通電流が流れ、チャンネルの電位が過渡的に接地電位よりも低い電位、あるいは
30 電源電位よりも高い電位になる場合があることが知られている。半導体集積回路にこのよ

うな現象が起こると、半導体集積回路内で寄生トランジスタが形成されて寄生電流が流れる。同一半導体基板（半導体チップ）の表面に形成されたデジタル回路部とアナログ回路部とを接近して配置した場合、そのような寄生電流の影響でアナログ回路部の回路特性が劣化する。

- 5 すなわち図7に示すように寄生トランジスタ18が、基板1をベースとし、デジタル回路部2のN-WELL領域6をエミッタとし、アナログ回路部3のN-WELL領域12をコレクタとして形成される。N-WELL領域6とN-WELL領域12との距離が近く、その間の基板1の抵抗成分が小さいため、寄生トランジスタ18の逆hFEが大きくなり、アナログ回路部3のバックゲートを形成するN-WELL領域12から引き込まれる寄生電流 i_c が大きくなる。この寄生電流 i_c が大きくなると、N-WELL領域12の電位変動が比較的大きくなり、従ってアナログ回路部3の回路特性の劣化が顕著となる。
- 10

- 寄生トランジスタ18の逆hFEの大きさは、デジタル回路部2とアナログ回路部3との距離で定められ、距離の大きいほうが基板1の抵抗成分により逆hFEが小さくなるので、寄生電流 i_c も小さくなる。この寄生電流 i_c が小さくなれば、N-WELL領域12の電位変動を小さくできるので、アナログ回路部3の回路特性の劣化も防止できる。そこで図8に示すように、デジタル回路部2とアナログ回路部3との距離を単純に大きくすることも考えられる。また、特開昭56-98839号公報、あるいは特開平7-135299号公報には、寄生トランジスタに起因する回路特性の劣化を防止するために、寄生トランジスタを形成する二種類の回路領域間を分離する拡散領域を配置することが記載されている。しかしながら、単純に分離領域を設けたのでは、それだけチップサイズを増大させる原因となる。
- 15
- 20

SUMMARY OF THE INVENTION

- 本発明は、デジタル回路部の貫通電流により、チャンネル電位が過渡的に接地電位よりも低い電位、あるいは電源電位よりも高い電位になる場合の、同一半導体基板（半導体チップ）に配置されているアナログ回路部の回路特性の劣化を、チップサイズを増大させることなく抑制することが可能な半導体集積回路装置を提供することを目的とする。
- 25

- 本発明の半導体集積回路装置は、同一半導体基板の表面に配置された、デジタル回路部とアナログ回路部とを有し、前記デジタル回路部と前記アナログ回路部との間に、トランジスタのゲートを構成するポリシリコンと同一のポリシリコンからなるダミーレイヤ部が
- 30

配置されたことを特徴とする。

BRIEF DESCRIPTION OF THE DRAWINGS

図 1 は、本発明の実施の形態 1 における半導体集積回路装置を示す平面図である。

5 図 2 は、図 1 の A-A 断面図である。

図 3 は、実施の形態 2 における半導体集積回路装置を示す平面図である。

図 4 は、図 3 の B-B 断面図である。

図 5 は、実施の形態 3 におけるカメラを示すブロック図である。

図 6 は、従来例の半導体集積回路装置を示す平面図である。

10 図 7 は、図 6 の C-C 断面図である。

図 8 は、他の従来例の半導体集積回路装置を示す平面図である。

DESCRIPTION OF THE PREFERRED EMBODIMENTS

本発明の半導体集積回路装置は、同一半導体基板の表面に配置されたデジタル回路部と
15 アナログ回路部との間に、トランジスタのゲートを構成するポリシリコンと同一のポリシリ
コンからなるダミーレイヤ部が配置された構成を有することにより、デジタル回路部に
おける N-WELL 領域と、アナログ回路部における N-WELL 領域との距離が遠くな
る。それにより、基板の抵抗成分が増大し、寄生トランジスタの逆 hFE を低減すること
ができる。従って、アナログ回路部のバックゲートから引き込まれる寄生電流 i_c が小さ
20 く、アナログ回路部における N-WELL 領域の電位変動が小さくなるので、アナログ回
路部における回路特性の劣化が抑制される。しかもダミーレイヤ部は、チップ上における
ポリシリコン面積率を一定にするために配置されるポリシリコン層を利用できるので、チ
ップサイズの増大を抑制することが可能である。

上記構成の半導体集積回路装置において、好ましくは、前記デジタル回路部と前記アナ
25 ログ回路部との間にさらにダミー領域が設けられ、前記ダミー領域に電源電位が印加され
る。

前記デジタル回路部はセンサーアレイを駆動するための回路であり、前記アナログ回路
部は、前記センサーアレイから出力される画像検出信号をアナログ処理するための回路で
ある構成とすることができる。また、前記センサーアレイは、CCD エリアセンサー、C
30 CD リニアセンサー、または CMOS センサーとすることができる。

撮像素子と、前記撮像素子を駆動するデジタル回路部及び前記撮像素子から出力される画像検出信号をアナログ処理するためのアナログ回路部を有する半導体集積回路装置とを備えたカメラを構成し、半導体集積回路装置を上記の構成とすることができる。

以下に、本発明の実施の形態における半導体集積回路装置について、図面を参照してより詳細に説明する。

(実施の形態 1)

図 1 は、実施の形態 1 における半導体集積回路装置を示す平面図である。この回路は、例として CCD エリアセンサーの駆動タイミングジェネレータ回路とアナログ前処理回路とを集積した例である。

10 P 型半導体基板（半導体チップ） 1 の表面に、デジタル回路部 2 とアナログ回路部 3 とが配置され、それらの間の領域にポリシリコンからなるダミーレイヤ部 4 が挿入されている。デジタル回路部 2 は、CCD エリアセンサーの水平走査・垂直走査の駆動タイミング、水平駆動回路、及びアナログ前処理用高速パルスタイミング等を司るパルス信号を生成する。アナログ回路部 3 は、CCD エリアセンサーから出力される映像信号からノイズを除
15 去する回路、信号振幅を調整する回路、デジタルに変換する AD コンバータ回路等を含む。ダミーレイヤ部 4 は、ポリシリコンからなる CMOS トランジスタのゲートを形成する半導体製造工程において、エッチング処理時間を一定にすべく、チップ上におけるポリシリコン面積率を一定にするために配置される。

図 2 は、図 1 の A-A 線断面図である。デジタル回路部 2 は、バックゲートを形成する
20 N-WELL 領域 6 の中に配置された P 型 MOS トランジスタと、バックゲートを形成する P-WELL 領域 9 の中に配置された N 型 MOS トランジスタとを一对以上含む。P 型 MOS トランジスタは、1 組の P+ 型チャンネル埋め込み層 7 と、ゲート電極のポリシリコン層 8 から構成され、アナログ回路部 3 から遠ざけるように配置される。N 型 MOS トランジスタは、1 組の N+ 型チャンネル埋め込み層 10 と、ゲート電極のポリシリコン層
25 11 から構成される。

アナログ回路部 3 は、バックゲートを形成する N-WELL 領域 12 の中に配置された P 型 MOS トランジスタと、バックゲートを形成する P-WELL 領域 15 の中に配置された N 型 MOS トランジスタとを一对以上含む。P 型 MOS トランジスタは、1 組の P+ 型チャンネル埋め込み層 13 と、ゲート電極のポリシリコン層 14 から構成され、デジ
30 ル回路部 2 から遠ざけるように配置される。N 型 MOS トランジスタは、1 組の N+ 型チ

チャンネル埋め込み層 16 と、ゲート電極のポリシリコン層 17 から構成される。

以上の配置によれば、寄生トランジスタ 18 のエミッタとなるデジタル回路部 2 における N-WE L L 領域 6 と、寄生トランジスタ 18 のコレクタとなるアナログ回路部 3 における N-WE L L 領域 12 との距離が遠くなるので、基板の抵抗成分が増大し、寄生トランジスタ 18 の逆 h F E を低減することができる。従って、アナログ回路部 3 のバックゲートから引き込まれる寄生電流 i_c が小さく、アナログ回路部 3 における N-WE L L 領域 12 の電位変動が小さくなるので、アナログ回路部 3 における回路特性の劣化が抑制される。

(実施の形態 2)

- 10 図 3 は、実施の形態 2 における半導体集積回路装置の平面図である。図 4 は、図 3 の B-B 線断面図である。

この実施形態においては、ダミーレイヤ部 4 とアナログ回路部 3 との間に、更に N-WE L L のダミー領域 5 が配置され、このダミー領域 5 に電源電位 19 が印加される。それにより寄生トランジスタ 18 のコレクタ電流の大部分 (i_d で図示) がこのダミー領域 5 から供給されることになる。しかも、かつデジタル回路部 2 とアナログ回路部 3 との距離が更に離れることになるので、アナログ回路部 3 のバックゲートから引き込まれる寄生電流 i_c が更に小さくなる。その結果、アナログ回路部 3 における N-WE L L 領域 12 の電位変動も更に小さくなるので、アナログ回路部 3 における回路特性劣化の抑制が更に強固なものになる。

- 20 以上の実施の形態によれば、アナログ回路部 3 における P 型 MOS トランジスタのバックゲートを形成する N-WE L L 領域 12 の電位変動が極めて小さくなるので、アナログ回路部 3 における回路特性の劣化が十分に抑制される。従って、CCD エリアセンサー、または CMOS センサーを用いた撮像素子と、上記実施の形態の半導体集積回路装置を組み合わせることにより、アナログ回路の回路特性劣化に起因する画像劣化の少ない高性能なカメラを得ることができる。

更に、チップ上におけるポリシリコン面積率を一定にすべく配置するダミーレイヤ部 4 は、半導体基板 1 上の他の領域に配置する必要が無くなるので、その分だけチップサイズの拡大は回避され、コスト増大を抑制することもできる。

(実施の形態 3)

- 30 図 5 に概略構成を示す実施の形態 3 におけるカメラは、上述の実施の形態の構成を有す

る半導体集積回路装置を用いた例である。

- 20は撮像素子であり、CCDエリアセンサー、またはCMOSセンサーを用いて構成されている。撮像素子20の受光部（図示せず）には、光学系21により集光された光22により光学像が結像される。半導体集積回路装置23は、上述のいずれかの実施の形態
- 5 の構成を有し、そのデジタル回路部2は、撮像素子20の駆動信号24を供給する。撮像素子20から出力される画像検出信号25は、半導体集積回路装置23のアナログ回路部3に供給され、映像信号25として出力される。

WHAT IS CLAIMED IS:

1. 同一半導体基板の表面に配置された、デジタル回路部とアナログ回路部とを有する半導体集積回路装置において、

5 前記デジタル回路部と前記アナログ回路部との間に、トランジスタのゲートを構成するポリシリコンと同一のポリシリコンからなるダミーレイヤ部が配置されたことを特徴とする半導体集積回路装置。

2. 前記デジタル回路部と前記アナログ回路部との間にさらにダミー領域が設けられ、
10 前記ダミー領域に電源電位が印加される請求項 1 記載の半導体集積回路装置。

3. 前記デジタル回路部はセンサーアレイを駆動するための回路であり、前記アナログ回路部は、前記センサーアレイから出力される画像検出信号をアナログ処理するための回路である請求項 1 記載の半導体集積回路装置。

15

4. 前記センサーアレイは、CCDエリアセンサー、CCDリニアセンサー、またはCMOSセンサーである請求項 3 記載の半導体集積回路装置。

5. 撮像素子と、前記撮像素子を駆動するデジタル回路部及び前記撮像素子から出力される画像検出信号をアナログ処理するためのアナログ回路部を有する半導体集積回路装置
20 とを備えたカメラにおいて、

前記半導体集積回路装置は、前記デジタル回路部と前記アナログ回路部との間に、トランジスタのゲートを構成するポリシリコンと同一のポリシリコンからなるダミーレイヤ部が配置された構造を有することを特徴とするカメラ。

25

ABSTRACT OF THE DISCLOSURE

- 同一半導体基板の表面に配置されたデジタル回路部とアナログ回路部とを有する。前記デジタル回路部と前記アナログ回路部との間に、トランジスタのゲートを構成するポリシリコンと同一のポリシリコンからなるダミーレイヤ部が配置される。前記デジタル回路部
- 5 におけるN-WELL領域と、アナログ回路部におけるN-WELL領域との距離が遠くなり、基板の抵抗成分が増大し、アナログ回路部のバックゲートから引き込まれる寄生電流 i_c が小さく電位変動が小さくなる。しかもダミーレイヤ部は、ポリシリコン面積率を一定にするために配置されるポリシリコン層を利用できるので、チップサイズの増大は抑制される。